

特開平7-335748

(43) 公開日 平成7年(1995)12月22日

(51) Int.Cl.⁶

H 0 1 L 21/768

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 90

M

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平6-124873

(22) 出願日 平成6年(1994)6月7日

(71) 出願人 390008855

宮崎沖電気株式会社

宮崎県宮崎郡清武町大字木原727番地

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 河野 浩幸

宮崎県宮崎郡清武町大字木原727番地 宮

崎沖電気株式会社内

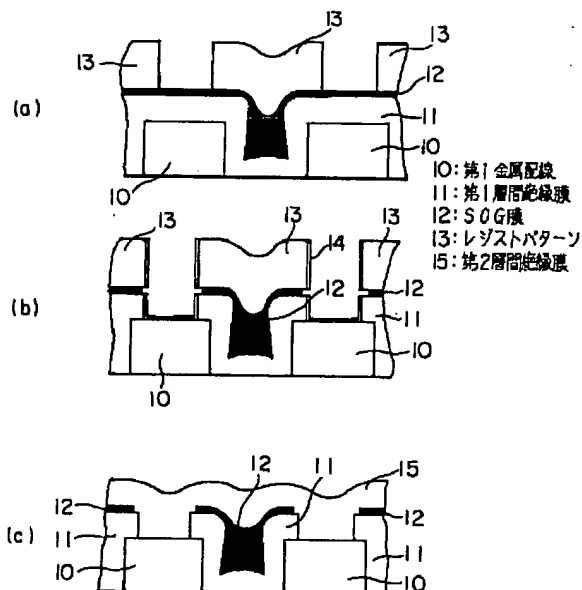
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【目的】 SOGのアウトガスによる金属配線のボイド発生を抑制し、金属配線の信頼性を向上させる。

【構成】 第1金属配線10を形成し、その後、P-SiO₂膜11を形成する。次に、SOG膜12をスピコートし、珪素化する。フォトリソグラフィにより、レジストパターン13を形成し、レジストパターン13をマスクとして、スルーホールを開孔する。レジストパターン14を除去し、その後、剥離液により側壁保護膜14を除去する。TEOS酸化膜15を形成してSOG膜12をキャッピングする。その後、レジストパターンを形成し、レジストパターンをマスクとして、ウェットエッチング、ドライエッチングにより、TEOS酸化膜15を除去する。レジストパターンを除去し、スパッタリングして第2金属配線を形成する。



本発明の実施例の半導体素子製造方法

【特許請求の範囲】

【請求項1】 第1層間絶縁膜を形成する工程と、
SOGを塗布し、珪素化する工程と、
フォトリソグラフィにより第1レジストパターンを形成する工程と、
前記第1レジストパターンをマスクとして前記SOG、及び第1層間絶縁膜を順次エッチング除去し第1コンタクトホールを開孔する工程と、
前記第1レジストパターンを除去する工程と、
第2層間絶縁膜を形成する工程と、
フォトリソグラフィにより第2レジストパターンを形成する工程と、
前記第2レジストパターンをマスクとして前記第2層間絶縁膜をエッチング除去し第2コンタクトホールを開孔する工程と、
前記第2レジストパターンを除去する工程と、
金属配線を形成する工程とを、
順に施すことを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子の製造方法に関し、特にコンタクトホール側壁部に絶縁物質よりなるバリア壁を形成し、SOG (Spin On Glass) からの水分放出を防ぐことによって、良好な金属配線を形成する方法に関するものである。

【0002】

【従来の技術】図2(a)～(d)は、従来の多層配線構造を持った微細半導体素子の製造方法の工程図である。この図2(a)～(d)の工程(1)～(4)を以下に説明する。

(1) 図2(a)の工程

アルミニウム等の金属により第1金属配線1を形成した後、第1層間絶縁膜としてプラズマ化学気相成長(以下、プラズマCVDと呼ぶ)法により、 SiH_4 、及び N_2O を原料ガスとして、膜厚 $0.4\mu\text{m}$ のシリコン酸化膜(P-SiO)₂を形成する。次に、平坦度向上を目的としてSOGをスピコートし、第1金属配線1に支障のない 450°C 以下の温度で加熱し、珪素化してSOG膜3を形成する。その後、再度、第1シリコン酸化膜2と同様にして第2層間絶縁膜として第2シリコン酸化膜4を $0.4\mu\text{m}$ 程度の厚さに気相成長させる。

(2) 図2(b)の工程

フォトリソグラフィ工程により、第1金属配線1と第2金属配線との接続のためのスルーホールを開孔するためのレジストパターン5を形成する。

(3) 図2(c)の工程

レジストパターン5をマスクとして、ウェットエッチングにより第2シリコン酸化膜4を除去し、端部をテーパ形状とする。その後、ドライエッチングにより残りの第2シリコン酸化膜4、SOG膜3、及び第1シリコン酸化

膜2を順次エッチング除去し、スルーホールを開孔する。この時、第1シリコン酸化膜2、及び第2シリコン酸化膜4の側壁に側壁保護膜6が形成される。次に、レジストパターン5を除去し、その後、剥離液により側壁保護膜6を除去する。

(4) 図2(d)の工程

アルミニウム等の第2金属配線7をスパッタリング法により形成し、第1金属配線1と第2金属配線7との間のコンタクトを取る。

【0003】

【発明が解決しようとする課題】しかしながら、従来の半導体素子の製造方法においては、次のような課題があった。図2(c)のスルーホールの開孔時において、SOG膜3の露出部から水分脱離によるアウトガスが発生するため、異方性エッチングの効果を高める側壁保護膜6が形成されずSOG膜3のサイドエッチが進行する。そのため、図2(d)の第2金属配線7をスパッタリングする際に、第2金属配線7のステップカバレッジが悪化し、空洞(以下ボイドと呼ぶ)8が発生する。図3は、図2(d)中のボイドの拡大図である。この図に示すようにSOG膜3の露出部のサイドエッチにより、この部分にボイド8が発生する。このボイド8のために、第2金属配線7のエレクトロマイグレーション耐性劣化による断線等が問題となる。

【0004】

【課題を解決するための手段】本発明は、前記課題を解決するために、P-SiO等の第1層間絶縁膜を形成する工程と、SOGを塗布し、珪素化する工程と、フォトリソグラフィにより第1レジストパターンを形成する工程と、前記第1レジストパターンをマスクとして前記SOG、及び第1層間絶縁膜を順次エッチング除去し、例えば第1スルーホールを開孔する工程と、前記第1レジストパターンを除去する工程と、TEOS酸化膜等の第2層間絶縁膜を形成する工程と、フォトリソグラフィにより第2レジストパターンを形成する工程と、前記第2レジストパターンをマスクとして前記第2層間絶縁膜をエッチング除去し、例えば第2スルーホールを開孔する工程と、前記第2レジストパターンを除去する工程と、金属配線を形成する工程とを順に施すようにしている。

【0005】

【作用】本発明によれば、以上のように半導体素子の製造方法を構成したので、フォトリソグラフィにより第1レジストパターンを形成し、この第1レジストパターンをマスクとしてSOG、及び第1層間絶縁膜を順次エッチング除去し第1コンタクトホールを開孔する。第1コンタクトホールの開孔時において、SOGの露出部において水分脱離によりアウトガスが放出され、SOGのサイドエッチングが進行する。次に、第2層間絶縁膜を形成し、SOGをキャッピングした後、フォトリソグラフィにより第2レジストパターンを形成して、該第2レジ

ストパターンをマスクとして第2コンタクトホールを開孔する。この第2コンタクトホール開孔時において、SOGが第2層間絶縁膜によってキャッピングされているので、この第2層間絶縁膜が、SOGのサイドエッチを抑制し、金属配線の形成時のボイドの発生を抑制する働きがある。従って、前記課題を解決できるのである。

【0006】

【実施例】図1(a)～(c)、及び図4(a)～(c)は、本発明の実施例の半導体素子の製造方法を示す工程図である。この図1(a)～(c)、及び図4(a)～(c)の工程を以下(1)～(6)に説明する。

(1) 図1(a)の工程

まず、アルミニウム等の金属により第1金属配線10を形成する。その後、第1層間絶縁膜としてプラズマCVD法により、原料ガスSiH₄、及びN₂O、圧力2.0～3.0 Torrで、膜厚0.4 μmのシリコン酸化膜(P-SiO₂)11を形成する。このP-SiO₂11は、層間絶縁膜としての働きの上に、次に形成するSOG膜12の第1金属配線10への水分の透過を抑制する働きもある。その後、平坦化のためにシリコン酸化膜11上にSOGをスピンコートし、温度400°C、ドライN₂雰囲気中で、ベークしてSOG膜12を形成する。ドライN₂雰囲気中でのベークは、水分の吸湿の抑制し膜質の劣化を防止するためである。次に、第1スルーホールを開孔するために、フォトリソグラフィ工程によりレジストパターン13を形成する。

(2) 図1(b)の工程

レジストパターン13をマスクとして、ドライエッチングにより、SOG膜12、及び第1シリコン酸化膜11を順次エッチング除去し、第1スルーホールを開孔する。この時、第1シリコン酸化膜11とドライエッチングによるエッチングガスとの反応により、第1シリコン酸化膜11の側壁部に、側壁部のオーバーエッチングを抑制する異方性エッチングには好ましい側壁保護膜14が形成される。一方、SOG膜12の露出部から水分脱離によるアウトガスが発生するので側壁保護膜が形成されず、サイドエッチングが進行し、アンダーカットが発生する。

【0007】(3) 図1(c)の工程

レジストパターン14を除去し、その後、剥離液により側壁保護膜14を除去する。次に、以下のプロセス条件でCVD法により、膜厚0.8 μm以上のO₂-TEOS-NSG (Non Silicate Glass) 膜(以下、TEOS酸化膜と呼ぶ)15を形成する。

TEOS酸化膜15のプロセス条件

TEOS流量	1.5 SLM
O ₂ 流量	7.5 SLM
O ₂ 流量	100 g/m ³
生成温度	400°C

これにより、TEOS酸化膜15がスルーホール内に平坦性良く埋め込まれるとともに、SOG膜12の露出部のアンダーカット部が、TEOS酸化膜15によりキャッピングされる。

(4) 図4(a)の工程

フォトリソグラフィ工程により、第2スルーホール開孔のためのレジストパターン16を形成する。

【0008】(5) 図4(b)の工程

レジストパターン16をマスクとして、まず0.2 μm程度のTEOS酸化膜15を以下の条件でウェットエッチングし、TEOS酸化膜15の端部をテーパ形状にする。

TEOS酸化膜15のウェットエッチングの条件

NH ₄ HF ₃	10～11%
NH ₄ F	14%
CH ₃ COOH	32～33%
H ₂ O	残り

の混合溶剤

次に、以下の条件のドライエッチングにより、レジストパターン16をマスクとして、残ったTEOS酸化膜15を除去して第2スルーホールを開孔する。

TEOS酸化膜15のドライエッチングの条件

真空度	100mTorr
RFパワー	750W
Arガス	800sccm
CHF ₃ ガス	60sccm
CF ₄ ガス	60sccm

この時、TEOS酸化膜15、シリコン酸化膜11の露出部に側壁保護膜17が形成され、エッチング形状が良くなる。また、SOG膜12の露出部のアンダーカット部が、TEOS酸化膜15によりキャッピングされているためSOG膜12のアウトガスによるサイドエッチングは発生しない。

(6) 図4(c)の工程

レジストパターン16を除去し、その後、剥離液により側壁保護膜17を除去する。次に、アルミニウム等の金属をスパッタリングして第2金属配線18を形成する。この時、SOG膜12がTEOS酸化膜15によりキャッピングされているため、第2金属配線18のステップカバレッジが悪化することなく、ボイドの発生を抑制することができる。

【0009】以上説明したように、本実施例では、P-SiO₂11、SOG膜12を形成し、第1スルーホールを開孔し、その後、TEOS酸化膜15を形成することにより、SOG膜12の露出部をTEOS酸化膜15でキャッピングする。そして、第2スルーホールを開孔して、第2金属配線18を形成するので、以下の利点がある。

(a) 第2金属配線18のステップカバレッジが悪化することなく、ボイドの発生を抑制することができ、多層

配線の信頼性を向上させ、半導体素子の歩留まりを向上させることができる。

(b) 第2層間絶縁膜をTEOS酸化膜15とすることにより、第2層間絶縁膜が平坦になり、第2スルーホールへの埋め込み性が良くなるとともに、第2金属配線18の形成後の熱処理において、SOG膜12内の残留水分はP-SiO₁₁で阻止され、その代わりにTEOS酸化膜中に拡散するので、SOG膜12内の加熱による残留水分による第1金属配線10への影響も低減することができる。なお、本発明は、上記実施例に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(i) 金属配線の層間絶縁膜が、第1層間絶縁膜/SOG膜/第2層間絶縁膜から構成され、該構造を持つ層間絶縁膜にコンタクトホールを開孔し、金属配線を埋め込む場合であれば、本発明を適用することができる。

(ii) 第2層間絶縁膜は、TEOS酸化膜以外の絶縁膜、例えば、P-SiO₂、またはPSG膜等であってもよい。

【0010】

【発明の効果】以上詳細に説明したように、本発明によれば、SOG、及び第1層間絶縁膜を順次エッチング除*

* 去し第1コンタクトホールを開孔した後、第2層間絶縁膜によりSOGをキャッピングして、第2コンタクトホールを開孔し、金属配線を形成するので、金属配線のステップカバレッジが悪化することなく、ボイドの発生を抑制することができる。したがって、金属配線の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施例の半導体素子製造方法を示す工程図である。

10 【図2】従来の半導体素子の製造方法を示す工程図である。

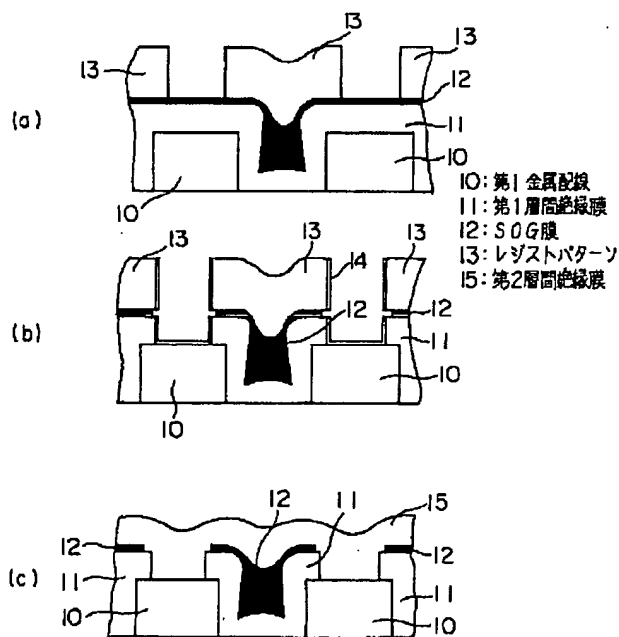
【図3】図2(d)中のボイドを示す図である。

【図4】本発明の実施例の半導体素子製造方法を示す工程図である。

【符号の説明】

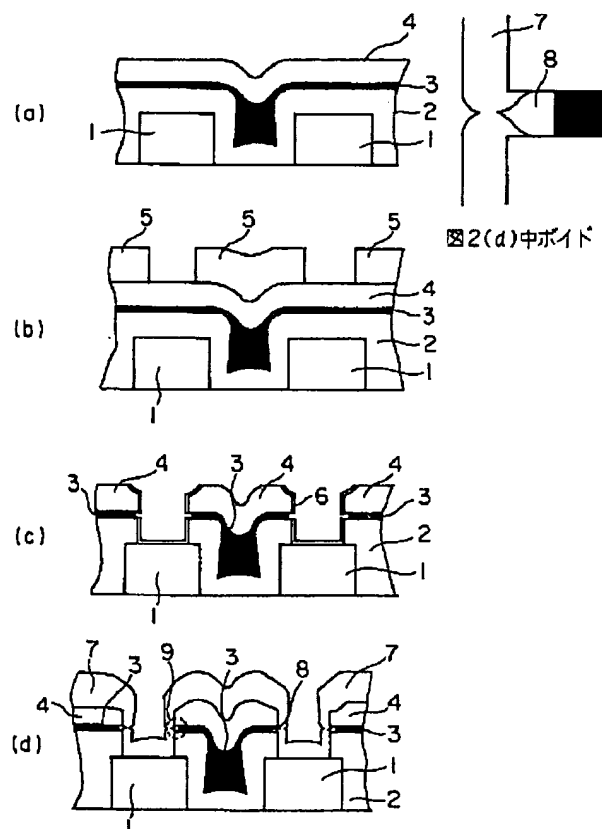
- | | |
|--------|------------------------------|
| 10 | 第1金属配線 |
| 11 | 第1層間絶縁膜(P-SiO ₂) |
| 12 | SOG膜 |
| 13, 16 | レジストパターン |
| 15 | 第2層間絶縁膜(TEOS酸化膜) |
| 18 | 第2金属配線 |

【図1】



本発明の実施例の半導体素子製造方法

【図2】

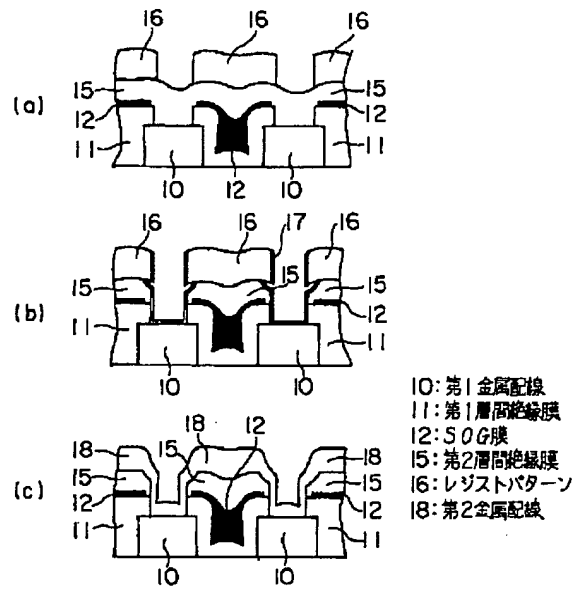


従来の半導体素子製造方法

【図3】

図2(d)中ボイド

【図4】



本発明の実施例の半導体素子製造方法